

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-292569

(43)Date of publication of application : 19.10.2001

(51)Int.CI. H02M 3/28
H02M 7/21

(21)Application number : 2000-104989 (71)Applicant : DENSEI LAMBDA KK

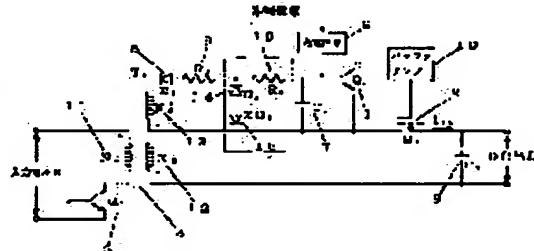
(22)Date of filing : 06.04.2000 (72)Inventor : OTA TOSHIYUKI

(54) METHOD FOR CONTROLLING ON PULSE WIDTH OF SYNCHRONOUS RECTIFIER IN FLYBACK CONVERTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a control method having reduced power consumption with less number of parts by controlling the drive period of a MOSFET to the constant period for change of an input voltage and causing the synchronous rectification to effectively follow the change of load.

SOLUTION: A charging circuit and a discharging circuit for controlling the drive of a MOSFET are provided to an auxiliary coil, provided in the secondary side of an inverter/transformer. Accordingly, a gate pulse width of the MOSFET is caused to follow the change in the load, so that a gate pulse of almost the constant width is generated for the change of an input voltage.



LEGAL STATUS

[Date of request for examination] 11.09.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-292569

(P2001-292569A)

(43)公開日 平成13年10月19日 (2001.10.19)

(51)Int.Cl.
H 02 M
7/21

識別記号

F I
H 02 M
7/21

マークド(参考)
F 5 H 0 0 6
A 5 H 7 3 0

審査請求 未請求 請求項の数1 OL (全5頁)

(21)出願番号 特願2000-104989(P2000-104989)

(22)出願日 平成12年4月6日 (2000.4.6)

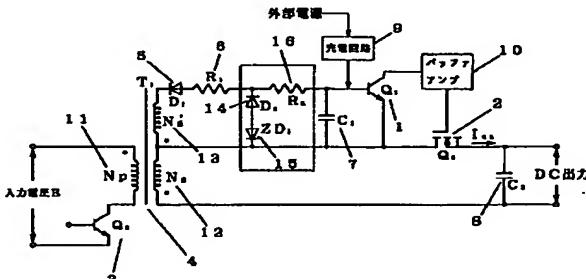
(71)出願人 390013723
デンセイ・ラムダ株式会社
東京都品川区東五反田一丁目11番15号 電
波ビルディング
(72)発明者 太田 俊幸
東京都品川区東五反田1丁目11番15号 デ
ンセイ・ラムダ株式会社内
(74)代理人 100078824
弁理士 増田 竹夫
Fターム(参考) 5H006 CA02 CB03 CB07 CC08
5H730 AA14 BB43 DD02 EE02 EE07
EE14

(54)【発明の名称】 フライバック・コンバータにおける同期整流器のオンパルス幅の制御方法

(57)【要約】

【課題】 入力電圧の変動に対してMOS-FETのドライブ期間を一定に制御させると共に、負荷変動に対しても効率よく同期整流を追従させて、少ない部品点数で低消費電力化した制御方法を実現させる。

【解決手段】 インバータ・トランジストの2次側に設けた補助コイルにMOS-FETの駆動を制御する充電回路と放電回路を設け、負荷の変動に対応してMOS-FETのゲートパルス幅を追従させると共に、入力電圧の変動に対してほぼ一定幅のゲートパルスを発生させるようにした。



【特許請求の範囲】

【請求項1】 インバータ・トランスの2次側に設けた同期整流器を制御する駆動回路を、2次コイルと同一極性の補助コイルを2次コイルに直列接続して構成したフライバック・コンバータにおける同期整流器のオンパルス幅制御方法において、

補助コイルの一端にカソード端子を接続した第1のダイオードと第1および第2の抵抗より成る直列回路を介して、補助コイルと2次コイルとの接合点に接続した並列コンデンサと、

第1と第2の抵抗との中間接続点にカソード端子を接続した第2のダイオードと、補助コイルと2次コイルとの接合点にカソード端子を接続したツエナー・ダイオードとの直列回路を補助コイルの両端に並列接続して形成したクランプ回路と、

補助コイルと2次コイルとの接合点に接続した同期整流器のドレイン端子に接続したエミッタ端子と、同期整流器のゲート端子に接続したバッファ・アンプの入力端に接続したコレクタ端子と、第2の抵抗と並列コンデンサの一端との接続点に接続したベース端子とを備えたスイッチ素子と、

スイッチ素子のベース端子と並列コンデンサの一端との間に接続した外部電源を入力する充電回路と、

によって同期整流器のオンパルス幅を制御する制御回路を構成し、

並列コンデンサの充放電電圧をクランプ回路によってクランプすることにより、入力電圧の変化に対してほぼ一定のオンパルス幅を同期整流器から発生させると共に、負荷が小さい時は並列コンデンサからの放電量を小さくし、負荷が大きい時は放電量を大きくすることにより、負荷変動に対し同期整流器を追従させるようにオンパルス幅を制御することを特徴とするフライバック・コンバータにおける同期整流器のオンパルス幅の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、同期整流方式のスイッチング電源のうちで、特にフライバック・コンバータにおける制御方法に関する。

【0002】

【従来の技術】従来技術によるフライバック・コンバータの回路構成は図2に示す通りである。インバータ・トランス104の1次側には、1次コイル106に直列接続したスイッチ素子103が設けてある。また、2次側には1次コイル106の極性と異なる2次コイル107と補助コイル108が直列接続しており、補助コイル108の一端に接続した抵抗101は同期整流器102のゲート端子に接続してある。同期整流器102のドレン端子は2次コイル107と補助コイル108との接合点に接続してあり、ソース端子は2次コイル107に並列接続してある並列コンデンサ105の一端に接続して

ある。

【0003】

【発明が解決しようとする課題】上述した同期整流器としてMOS-FETが用いられており、このMOS-FET102を補助コイル108に設けた抵抗101を介して駆動させると、1次側が自由共振モードの時は2次側エネルギーが1次側に戻り、MOS-FETの発振が安定しなかったりして損失が大きくなる。また、MOS-FETのゲート回路における抵抗による抵抗損 I^2R が生ずるので、駆動電力損も大きくなる。

【0004】また、従来方式のフライバック・コンバータにおけるMOS-FETのオン期間は負荷変動により大きく変化するばかりでなく、入力電圧の変動でオン期間が大幅に変化する欠点があった。

【0005】

【課題を解決するための手段】この発明は、上述した従来技術による欠点を解消するためになされたものであって、インバータ・トランスの2次側に設けた補助コイルにMOS-FETの駆動を制御する充電回路と放電回路を設け、負荷の小さい時は充放電コンデンサの放電量は小さく、負荷が大きい時は放電量を大きくすることにより、負荷の変動に対応してMOS-FETのゲートバルス幅を追従させるようにした。

【0006】さらに、並列コンデンサの放電電圧を一定にするように、補助コイルの両端に並列接続したダイオードとツエナーダイオードより成る直列回路を設け、入力電圧の変化に対してほぼ一定幅のゲートバルスを発生させるようにした。

【0007】

【発明の実施の形態】以下、この発明の実施例を図面を参照しながら説明する。図1は、この発明に係る同期整流方式のフライバック・コンバータの回路構成を示すブロック図である。

【0008】図1において、インバータ・トランス4の1次側には1次コイル11に直列接続したスイッチ素子3が設けてある。また、インバータ・トランス4の2次側には2次コイル12に直列接続した補助コイル13が設けてあって、2次側コイルの極性は1次側のコイルの極性と反対である。補助コイル13の一端には第1のダイオード5と第1の抵抗6より成る直列回路が接続しており、補助コイル13と2次コイル12との接合点と第1の抵抗6の他端との間には第2のダイオード14とツエナーダイオード15より成る直列回路が設けてあって、補助コイル13の両端に並列接続してある。

【0009】また、第1の抵抗6の他端と第2のダイオード14との接合点に一端を接続した第2の抵抗16の他端は、補助コイル13の両端に並列接続するように形成してある並列コンデンサ7の一端とスイッチ素子1のベース端子に接続してあり、さらに、外部電源によって抵抗を介して並列コンデンサ7を充電する充電回路9

が、並列コンデンサ7の一端とスイッチ素子1のゲート端子との間に接続してある。スイッチ素子1のエミッタ端子は2次コイル12と補助コイル13との接合点とMOS-FET2のドレイン端子との間に接続してあり、さらに、コレクタ端子はバッファ・アンプ10を介してMOS-FET2のゲート端子に接続してある。なお、MOS-FET2のソース端子は、2次コイル12の両端に並列接続した並列コンデンサ8の一端に接続しており、この並列コンデンサ8はMOS-FET2からの直流出力を平滑化させる。

【0010】次に、この発明に係るフライバック・コンバータにおけるMOS-FETの動作特性を図3と図4に示す波形図を用いて説明する。図3(a)は重負荷時における動作特性を示し、図3(b)は軽負荷時における動作特性を示す。また、図4(a)は低入力電圧時における動作特性を示し、図4(b)は高入力電圧時における動作特性を示す。

【0011】1次コイル11に直列接続してあるスイッチ素子3のスイッチングに伴って2次側コイルには電圧が誘起される。2次コイル12と補助コイル13の極性は1次コイル11と反対であるので、スイッチ素子3がオフの時に2次コイル12と補助コイル13には誘起電圧 V_{ns} と V_{ns}' が発生し、これに伴って2次コイル電流 I_{ns} が流れる。重負荷時における誘起電圧 V_{ns} と V_{ns}' は図3(a)の①と③に示す波形となり、2次コイル電流 I_{ns} は図3(a)の②に示す波形となる。1次側が自由共振モードの時、2次エネルギーが1次側に戻り、発振が安定しなかったり、損失が大となる。軽負荷時における誘起電圧波形 V_{ns} と V_{ns}' は図3(b)の①と③に示すように振動成分を含んだ波形となり、2次コイル電流 I_{ns} は図3(b)の②に示す波形となる。

【0012】補助コイル13の誘起電圧波形 V_{ns}' と充電回路9からの電荷を並列コンデンサ7を介して入力するスイッチ素子1のベース～エミッタ間電圧 V_{se} は、図3(a)と(b)における④に示す波形となる。スイッチ素子1の V_{se} がしきい値電圧よりも大きくなるとスイッチ素子1はオンとなり、しきい値電圧より小さい時はオフとなり、その動作は図3(a)と(b)における⑤に示す波形となる。スイッチ素子1がオンとなるとバッファ・アンプ10の入力端子電圧が低下するので、MOS-FET2はオフとなる。図3(a)と(b)における⑥はMOS-FET2からの出力電流 I_{o2} を示し、⑦はボディ・ダイオード電流を示す。

【0013】フライバック・コンバータにおける2次側の整流素子から負荷に電流を供給する期間はMOS-FET2のオンパルス幅に比例しており、1次側のスイッチ素子3に同期している。MOS-FET2を駆動させるために補助コイル13を設けて V_{ns}' 波形を生成させ、1次側のスイッチ素子3がオンしている期間に並列コンデンサ7を放電させ、オフしている期間に充電させ

る。スイッチ素子1の V_{se} がしきい値を超えた時にスイッチ素子1をオンとさせ、これに伴ってMOS-FET2をオフさせる。重負荷時におけるMOS-FET2からの出力電流 I_{o2} は図3(a)の⑥に示すように大きく、軽負荷時におけるMOS-FET2からの出力電流は図3(b)の⑥に示すように小さい。即ち、負荷変動に追従してMOS-FETのオンパルス幅を制御することができる。

【0014】次に、入力電圧の変動に伴ってMOS-FETのオンパルス幅は大きく変化するが、補助コイル13の両端に並列に第2のダイオード14とツエナーダイオード15より成る直列回路を設けておくと、入力電圧はツエナー電圧によってクランプされるので並列コンデンサ7の放電電圧も一定になる。即ち、1次側のスイッチ素子3がオンの時に補助コイル13に発生するマイナス電圧を第2のダイオード14とツエナーダイオード15によってクランプし、このクランプ電圧で第2の抵抗16を介して並列コンデンサ7を定電圧で放電させる。

【0015】1次コイル11への入力電圧が変動した場合におけるMOS-FET2の動作特性は、図4(a)と(b)に示す通りである。入力電圧が低い時の2次コイル12と補助コイル13への誘起電圧は、図4(a)の①と③に示す波形となり、入力電圧が高い時の波形は図4(b)の①と③に示す波形となる。また、2次コイル電流 I_{ns} は図4(a)と(b)における②に示すようになる。第2のダイオード14とツエナーダイオード15より成る直列回路への印加電圧 V_{o2-zo1} と、並列コンデンサ7への印加電圧 V_{c1} は、図4(a)と(b)における④と⑤に示す波形となる。④において、 $(V_{o2} + V_{zo1})$ はクランプ電圧を示す。 V_{c1} はスイッチ素子1のベース～エミッタ間電圧 V_{se} に等しいので、スイッチ素子1のしきい値電圧よりも V_{c1} が高くなるとスイッチ素子1はオンとなり、MOS-FET2はオフとなる。図4(a)と(b)における⑥、⑦は、スイッチ素子1のスイッチング動作とMOS-FET2から送出される電流波形を示しており、入力電圧の変動に対し、ほぼ一定のパルス幅を発生していることが判る。⑧はMOS-FET2のボディ・ダイオード電流波形を示す。

【0016】【発明の効果】以上説明したように、この発明に係るフライバック・コンバータにおける同期整流器のオンパルス幅の制御方法によると、入力電圧の変動が発生した時もMOS-FETのドライブ期間を一定に制御でき、また負荷変動に対して効率よく同期整流の追従を行わせることができるので、整流損失を低減させた少ない部品点数で低消費電力化した制御方法を実現できる。

【図面の簡単な説明】

【図1】この発明に係るフライバック・コンバータにおける同期整流器の回路構成を示すブロック図。

【図2】従来技術によるフライバック・コンバータにお

ける同期整流器の回路構成を示すブロック図。

【図3】この発明に係る同期整流器の動作特性を示す波形図。

【図4】この発明に係る同期整流器の動作特性を示す波形図。

【符号の説明】

1 スイッチ素子

2 MOS-FET

* 3 1次側スイッチ素子

4 インバータ・トランジ

5, 14 ダイオード

6, 16 抵抗

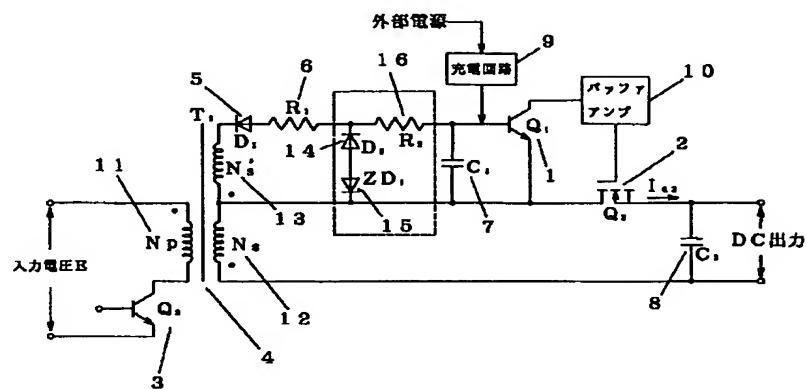
7, 8 並列コンデンサ

9 充電回路

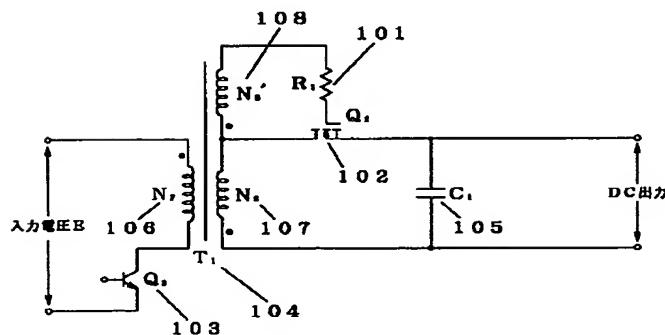
10 バッファ・アンプ

* 15 ツエナーダイオード

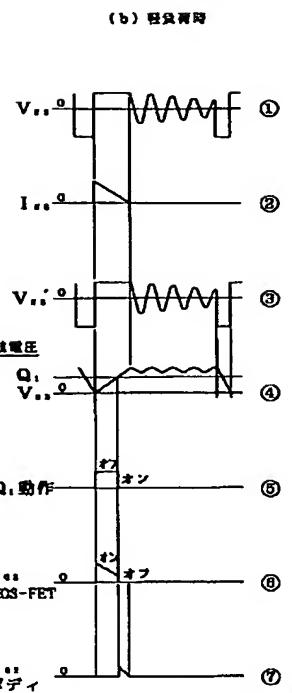
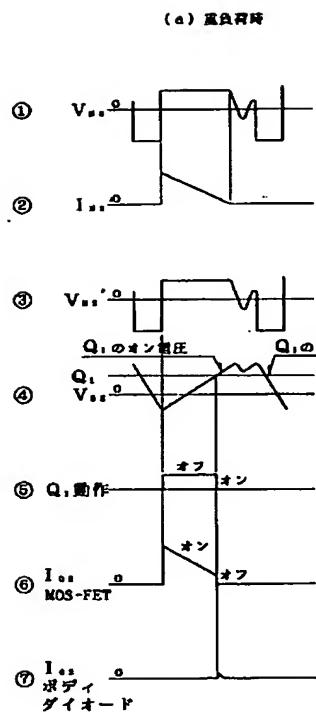
【図1】



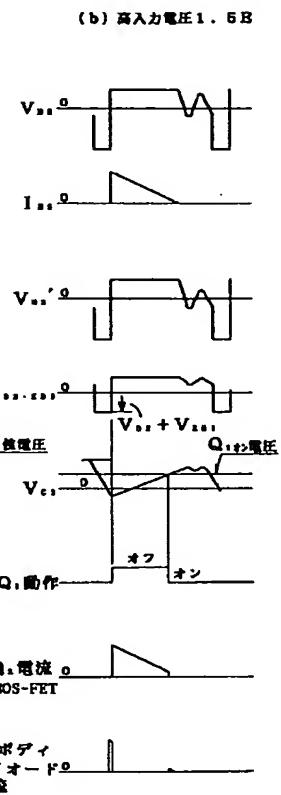
【図2】



【図3】



(a) 低入力電圧B



【図4】

Q_1 ボディ
ダイオード

⑧ 電流